



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07321069 A**(43) Date of publication of application: **08 . 12 . 95**

(51) Int. Cl.

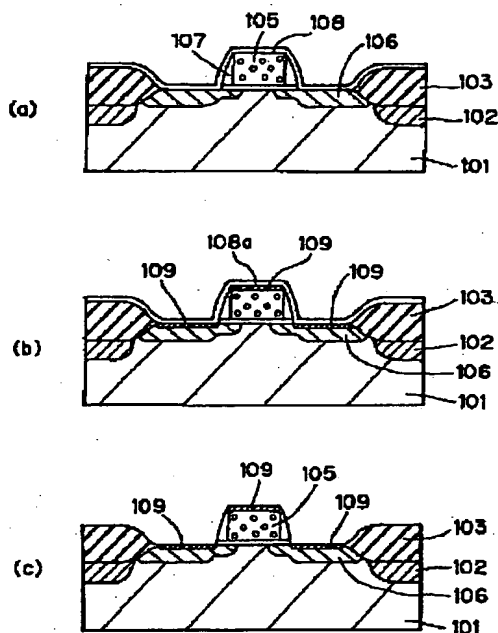
H01L 21/285**C23C 14/34****C23C 14/35****C23C 14/58****H01L 21/203****H01L 21/28****H01L 29/78****H01L 21/336**(21) Application number: **06134883**(22) Date of filing: **26 . 05 . 94**(71) Applicant: **NEC CORP**(72) Inventor: **MURAO YUKINOBU****(54) MANUFACTURE OF SEMICONDUCTOR
INTEGRATED CIRCUIT DEVICE**

(57) Abstract:

PURPOSE: To make it possible to form a ferromagnetic material metal film for silicifying in an even film thickness.

CONSTITUTION: A MOS transistor of an LDD structure is formed and thereafter, a Co-Ti film 108 is formed on the whole surface of a semiconductor substrate using a target having the compositional ratio of 20 atomic % of Co and 80 atomic % of Ti by a magnetron sputtering method [(a)]. A heat treatment is performed to form a Co silicide-Ti silicide mixed layer 109 on a polycrystalline silicon gate electrode 105 and on N-type diffused layers 106 of an LDD structure [(b)]. The unreacted Co-Ti film 108 is etched away [(c)].

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-321069

(43) 公開日 平成7年(1995)12月8日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/285	3 0 1 R			
C 2 3 C 14/34	A	8414-4K		
14/35	Z	8414-4K		
14/58	A	8414-4K		

H 0 1 L 29/78 3 0 1 P

審査請求 有 請求項の数5 F D (全6頁) 最終頁に続く

(21) 出願番号 特願平6-134883

(22) 出願日 平成6年(1994)5月26日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 村尾 幸信

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 半導体集積回路装置の製造方法

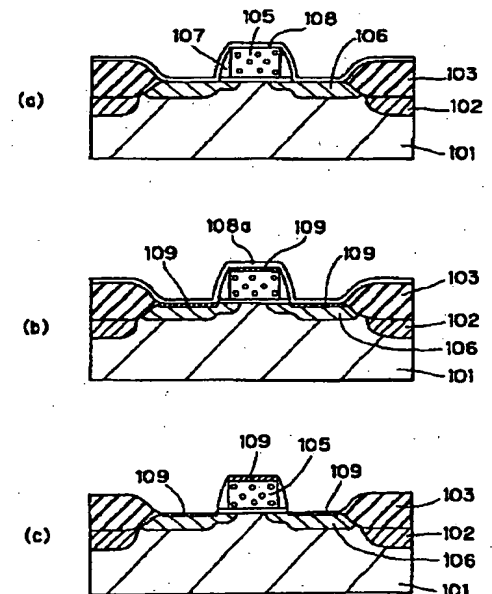
(57) 【要約】

【目的】 シリサイド化するための強磁性体金属を均一の膜厚に形成できるようにする。

【構成】 LDD構造のMOSトランジスタを形成した後、Co:20アトム%、Ti:80アトム%のターゲットを用いて、マグネトロン・スパッタ法により、半導体基板上全面に、Co-Ti膜108を形成する

〔(a) 図〕。熱処理を施して、多結晶シリコンゲート電極105上及びLDDn型拡散層106上にCoシリサイド-Tiシリサイド混合層109を形成する

〔(b) 図〕。未反応Co-Ti膜108をエッチング除去する〔(c) 図〕。



106 -- LDDn型拡散層
108 -- Co-Ti膜
108a -- 未反応Co-Ti膜
109 -- Coシリサイド-Tiシリサイド混合層

【特許請求の範囲】

【請求項1】 (1) 表面が露出された単結晶シリコン拡散領域および／または表面が露出された多結晶シリコン膜を有する半導体基板上に、スパッタ法により所定の組成の金属膜を形成する工程と、

(2) 熱処理を施してシリコンと前記所定の組成の金属とを反応させてシリサイド膜を形成する工程と、を備え、前記(1)の工程におけるスパッタリングが、コバルト(Co)、ニッケル(Ni)等の強磁性体材料に、モリブデン(Mo)、タングステン(W)等の反強磁性体、あるいはチタン(Ti)、ジルコニウム(Zr)、ハフニウム(Hf)、タンタル(Ta)等の常磁性体でシリコンと反応してシリサイドを形成する材料の1乃至複数種が添加された材料からなるターゲットを用いて行われることを特徴とする半導体集積回路装置の製造方法。

【請求項2】 (1) シリコンからなる半導体基板上にゲート絶縁膜を介して多結晶シリコンからなるゲート電極を形成し、該ゲート電極をマスクとして前記半導体基板の表面に不純物をドーブして低不純物濃度の拡散層を形成する工程と、

(2) 前記ゲート電極の側面に絶縁物からなるサイドウォールを形成し、前記ゲート電極と前記サイドウォールとをマスクとして前記半導体基板の表面に不純物をドーブして高不純物濃度の拡散層を形成する工程と、

(3) 前記高不純物濃度の拡散層および前記ゲート電極の表面が露出された状態で半導体基板上全面に、スパッタ法により所定の組成の金属膜を形成する工程と、

(4) 熱処理を施してシリコンと前記所定の組成の金属とを反応させてシリサイド膜を形成する工程と、を備え、前記(3)の工程におけるスパッタリングが、コバルト(Co)、ニッケル(Ni)等の強磁性体材料に、モリブデン(Mo)、タングステン(W)等の半強磁性体、あるいはチタン(Ti)、ジルコニウム(Zr)、ハフニウム(Hf)、タンタル(Ta)等の常磁性体でシリコンと反応してシリサイドを形成する材料の1乃至複数種が添加された材料からなるターゲットを用いて行われることを特徴とする半導体集積回路装置の製造方法。

【請求項3】 前記スパッタ法がマグネトロン・スパッタ法であることを特徴とする請求項1または2記載の半導体集積回路装置の製造方法。

【請求項4】 前記ターゲットが、強磁性体材料に10～90アトミック%の反強磁性体および／または常磁性体材料が添加されたものであることを特徴とする請求項1または2記載の半導体集積回路装置の製造方法。

【請求項5】 前記熱処理が、ランプアニールにおいて行われることを特徴とする請求項1または2記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置の製造方法に関し、特に、配線や拡散層の層抵抗を低減化するためのシリサイド膜の形成方法に関するものである。

【0002】

【従来の技術】半導体集積回路装置の微細化、高集積化に伴って、配線の薄膜化と狭小化が進められ、また拡散層が浅く形成されるようになってきている。これらの傾向により、必然的に配線、拡散層の高抵抗化がもたらされ、S/Nの劣化や回路動作の遅延が問題となってきている。この配線や拡散層の層抵抗を低減化する手法として、多結晶シリコン膜上や拡散層上にシリサイド膜を形成する方法がある。

【0003】特に、MOS型半導体集積回路装置では、シリサイド(self aligned silicide)と呼ばれるチタンシリサイドを用いる技術が実用化されている。このシリサイド構造のトランジスタは次のように製作される。まず、LDD(lightly doped drain)構造のトランジスタを形成し、その後、ソース・ドレイン領域および多結晶シリコンからなるゲート電極の表面を露出させた状態でスパッタ法によりチタン(Ti)を堆積し、ランプアニール等により熱処理を行ってシリコン(Si)とチタンとを反応させ、拡散層、ゲート電極上に自己整合的にチタンシリサイド膜を形成する。未反応のチタン(または窒化チタン)をエッチング除去し、さらに低抵抗化のための熱処理を行う。この種シリサイド構造のトランジスタの製造方法については、例えば、1983年IEDM予稿集、518頁記載の村尾他の論文；A HIGH PERFORMANCE CMOS WITH Ti-SILICIDED P/N-TYPE POLY-Si GATESに記載されている。

【0004】しかしながら、このような従来のシリサイド化技術では、シリサイド膜が薄膜化されたときにシリサイド表面の凹凸が大きくなってしまいうという問題が起こる。この原因は以下のように考えられている。チタンとシリコンが反応しシリサイドをつくる際には、シリコンがチタン中に拡散しながらチタンシリサイドを形成するが、このとき、シリコンの拡散がシリコン表面上で不均一に起こるために表面に凹凸が発生する。このシリサイド膜表面の凹凸は、結果的に配線抵抗を増大させるため好ましくない。

【0005】このようなシリサイド表面の凹凸を少なくし、シリサイド表面を平滑にする方法として、他のシリサイド化可能な金属膜を併用することが考えられている。これは、図5に示すように、p型シリコン基板101上にゲート酸化膜104を介して多結晶シリコンゲート電極105とその側面を覆うサイドウォール107とを形成し、シリコン基板表面にLDD構造の拡散層106を形成した後、まず、チタン層112をスパッタ法により形成し続いて同じくスパッタ法によりコバルト(C

o) 層113を形成する。この場合、コバルト層113が下層となるようにしてもよい。その後、熱処理を行って、チタンシリサイドとコバルトシリサイドの混合層を形成する。

【0006】上記方法によれば、チタンのシリサイド化とコバルトのシリサイド化とが並行して行われるが、ここで、コバルトの場合は、チタンの場合とは逆にコバルトがシリコン中に拡散してコバルトシリサイドを形成する。このため、チタンとコバルトのシリコンとの反応がバランスしあって平滑なシリサイド表面が形成されると考えられている。

【0007】

【発明が解決しようとする課題】しかしながら、コバルトとチタンを積層させる方法では、安定したコバルト膜が成膜できないという欠点がある。それは、コバルトが強磁性体であるからである。通常、金属はマグネトロン・スパッタ法で被着されるが、コバルトの場合は、強磁性体であるため、図6(a)に示されるように、スパッタ装置内の磁極202による磁場 B_1 がコバルトターゲット201による誘起磁場 B_2 によって弱められるとともにターゲット上の磁場が不均一になる。スパッタ量は、ターゲットに加わる磁場の強度によって決定されるため、図6(b)に示されるように、基板203上に形成されるコバルト膜204の膜厚は不均一となる。その結果、上述の先行例では、面内の膜厚の均一性を確保することができなくなるとともにチタンシリサイドとコバルトシリサイドとの混合比の均一性が保証されないことになる。

【0008】さらに、上述の先行例では、チタン膜とコバルト膜とをそれぞれ独立に成膜しているため、ウェハ間で膜厚比に差が生じやすい。そのため、混合シリサイドの成分比の再現性が低く安定した特性のシリサイド膜を得ることが困難であった。本発明は、上記の点に鑑みてなされたものであって、その目的とするところは、第1に、強磁性体を含む膜を均一の膜厚に形成しうることと、第2に、複数の金属材料からなる膜を安定した成分比に形成できるようにすることである。そして、これらを達成することにより、膜厚が均一で、かつ、成分比が安定した混合シリサイド膜を形成しうるようにしようとするものである。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明によれば、(1)表面が露出された単結晶シリコン拡散領域および/または表面が露出された多結晶シリコン膜を有する半導体基板上に、スパッタ法により所定の組成の金属膜を形成する工程と、(2)熱処理を施してシリコンと前記所定の組成の金属とを反応させてシリサイド膜を形成する工程と、を備え、前記(1)の工程におけるスパッタリングが、コバルト(Co)、ニッケル(Ni)等の強磁性体材料に、モリブデン(M

o)、タングステン(W)等の半強磁性体、あるいはチタン(Ti)、ジルコニウム(Zr)、ハフニウム(Hf)、タンタル(Ta)等の常磁性体でシリコンと反応してシリサイドを形成する材料の1乃至複数種が添加された材料からなるターゲットを用いて行われることを特徴とする半導体集積回路装置の製造方法、が提供される。

【0010】

【作用】コバルトあるいはニッケル等の強磁性体材料にモリブデン、タングステンのような反強磁性体、あるいはチタン、ジルコニウム、ハフニウム、タンタルのような常磁性体が添加されるとコバルトあるいはニッケルの磁化率は低下する。すなわち、図4に示されるように、コバルト中にチタンを添加すると、コバルトの磁化率は添加チタン量の増加とともに減少する。したがって、このようなターゲットを用いるとマグネトロン・スパッタ装置のマグネットからターゲットに印加される磁場をさほど弱めることなく強磁性体であるコバルトあるいはニッケルをスパッタすることが可能になり、強磁性体を含む膜を均一の膜厚に形成することができるようになる。そのため、コバルトあるいはニッケルを成分とするシリサイドを均一な成分比で均一の膜厚に形成することが可能になる。

【0011】成膜された金属膜の各材料の成分比は、ターゲットの成分比によって決められるため、常に一定の成分比の金属膜を成膜することが可能となり、したがって、混合シリサイド膜の成分比の再現性を高めることができる。なお、強磁性体材料に添加される反強磁性体および/または常磁性体材料は、10~90アトミック%の範囲が適切である。10%以下では比抵抗の増大が問題となり、また、90%以上では、コバルト等を用いたことによる表面平滑化効果が減殺されるからである。

【0012】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【第1の実施例】図1(a)、(b)、図2(a)~(c)は、本発明の第1の実施例を説明するための工程順断面図であって、本実施例は、シリサイド・プロセスを用いるMOS型半導体集積回路装置の製造工程に本発明を適用したものである。まず、図1(a)に示すように、比抵抗 $0.1\Omega\cdot\text{cm}$ のp型シリコン基板101上の不活性領域にチャンネルストッパ102と膜厚500nmのフィールド酸化膜103とを形成して、活性領域を区画する。フィールド酸化膜103に囲まれた活性領域内に膜厚10nmのゲート酸化膜104を形成しその上に多結晶シリコンゲート電極105を形成した後、このゲート電極とフィールド酸化膜103をマスクにリンイオンを40keV、 $1\text{E}13\text{cm}^{-2}$ の条件で注入してn型拡散層106aを形成する。しかる後、CVD法により膜厚約100nmのシリコン酸化膜107aを被着

する〔図1(a)〕。

【0013】次に、異方性のドライエッチングにより、ゲート電極105の側壁部分以外のシリコン酸化膜107aを除去して、サイドウォール107を形成する。この異方性のドライエッチングにより、シリコン多結晶ゲート電極105の表面および n^- 型拡散層106aの表面の一部は露出される。その後、ヒ素イオンを 50keV 、 $2\text{E}16\text{cm}^{-2}$ の条件で注入して、 n^+ 型拡散層106bを形成する〔図1(b)〕。以下の図では、 n^- 型拡散層106aと n^+ 型拡散層106bとを合わせて、LDDn型拡散層106として示す。

【0014】次に、アトミック%でコバルトを20%、チタンを80%の割合で含むスパッタ・ターゲットを用いて、マグネトロン・スパッタ法により、Co-Ti膜108を膜厚50nmに形成する〔図2(a)〕。その後、窒素雰囲気中で700℃のアニールを行って、ゲート電極105およびLDDn型拡散層106の表面に、コバルトシリサイドとチタンシリサイドとが混在した膜厚が40~50nmのCoシリサイド-Tiシリサイド混合層109を形成する〔図2(b)〕。この時、Co-Ti層108のシリサイド化されなかった部分は、未反応Co-Ti層108aとして残る。

【0015】次に、硫酸と過酸化水素の混合液で処理すると、未反応Co-Ti層108aのみが除去され、多結晶シリコンゲート電極105上およびLDDn型拡散層106上に形成されたCoシリサイド-Tiシリサイド混合層109は除去されずに残る〔図2(c)〕。

【0016】その後、窒素雰囲気中での800℃のアニールにより、Coシリサイド-Tiシリサイド混合層109の低抵抗化処理を行う。図2(c)の工程終了後は、通常のMOS集積回路装置の場合と同様に、層間絶縁膜を堆積し、コンタクト孔を開孔しアルミニウムによる電極配線を形成することにより、本実施例による半導体集積回路装置の製造工程が完了する。

【0017】〔第2の実施例〕図3(a)、(b)は、本発明の第2の実施例を示す工程順断面図である。本実施例においても、図1(a)、(b)に示す段階までは、第1の実施例の場合とほぼ同様の工程で作られる。その後、本実施例の場合には、アトミック%でコバルト40%、タングステン(W)60%の混合比で混合されたターゲットを用い、マグネトロン・スパッタ法により、Co-W層110を膜厚50nm程度に堆積する〔図3(a)〕。

【0018】続いて、窒素雰囲気中で700℃のアニールを行って、露出しているシリコンの表面上に、コバルトシリサイドとタングステンシリサイドとが混在した膜厚が40~50nmのCoシリサイド-Wシリサイド混合層111を形成する。この熱処理工程において、シリサイド化されなかったCo-W層110をアクティブイオンエッチングにより除去すると、多結晶シリコン

ゲート電極105上およびLDDn型拡散層106上におのみCoシリサイド-Wシリサイド混合層111が形成される〔図3(b)〕。その後、800~900℃で熱処理を行ってCoシリサイド-Wシリサイド混合層111の低抵抗化を図り、その後常法により、層間絶縁膜の形成、コンタクトホール形成、電極配線の形成を行って、本実施例による半導体装置の製造を完了する。

【0019】以上好ましい実施例について説明したが、本発明は上記実施例に限定されるものではなく、本願発明の要旨を変更しない範囲内において各種の変更が可能である。例えば、実施例では、強磁性体であるコバルト中に常磁性体であるチタン、あるいは反強磁性体であるWを混合させたスパッタ・ターゲットを使用していたが、材料の組合せはこれに限定されるものではなく、他に、強磁性体材料としてニッケル(Ni)、反強磁性体としてモリブデン(Mo)、常磁性材料としてジルコニウム(Zr)、ハフニウム(Hf)、タンタル(Ta)等のシリコンと反応してシリサイドを形成しうる材料を用いることができる。また、本発明は、MOS型半導体集積回路に有利に適用されるがこれに限定されるものではなく、バイポーラ型集積回路やBi-CMOS型集積回路装置等にも適用が可能なものである。

【0020】

【発明の効果】以上説明したように、本発明による半導体集積回路装置の製造方法は、強磁性体材料に反強磁性乃至常磁性の材料を添加したターゲットを用いて、シリサイド化のための金属をスパッタするものである。本発明によれば、強磁性体材料を含む金属膜を均一の厚さに形成することができるようになる。したがって、本発明によれば、組成が一定でかつ均一の厚さの混合シリサイド膜を形成することができるようになる。また、所望の混合比のターゲットを用いることにより、常に一定の組成比の金属膜を形成することができるようになり、シリサイドの混合比の再現性を高めることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の製造方法を説明するための工程順断面図の一部。

【図2】図1の工程に続く、本発明の第1の実施例の製造方法を説明するための工程順断面図の一部。

【図3】本発明の第2の実施例の製造方法を説明するための工程順断面図。

【図4】本発明の作用を説明するための、材料混合比-磁化率の関係を示すグラフ。

【図5】本発明の先行技術の製造方法を説明するための断面図。

【図6】本発明の先行技術の問題点を説明するための断面図。

【符号の説明】

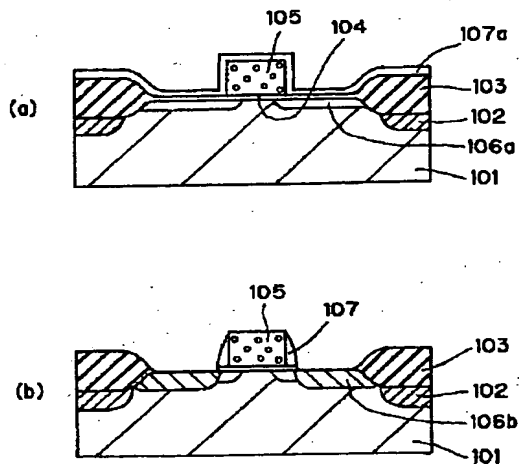
101 p型シリコン基板

102 チャネルストップ

7

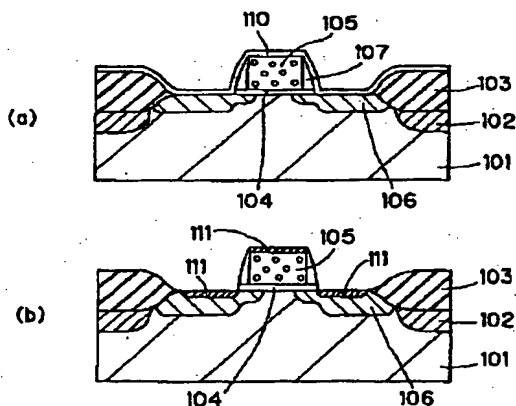
- 103 フィールド酸化膜
- 104 ゲート酸化膜
- 105 多結晶シリコンゲート電極
- 106 LDD n 型拡散層
- 106a n^- 型拡散層
- 106b n^+ 型拡散層
- 107 サイドウォール
- 107a シリコン酸化膜
- 108 Co-Ti膜
- 108a 未反応Co-Ti膜

【図1】



- 101...p型シリコン基板
- 102...チャネルストップバ
- 103...フィールド酸化膜
- 104...ゲート酸化膜
- 105...多結晶シリコンゲート電極
- 106a... n^- 型拡散層
- 106b... n^+ 型拡散層
- 107...サイドウォール
- 107a...シリコン酸化膜

【図3】



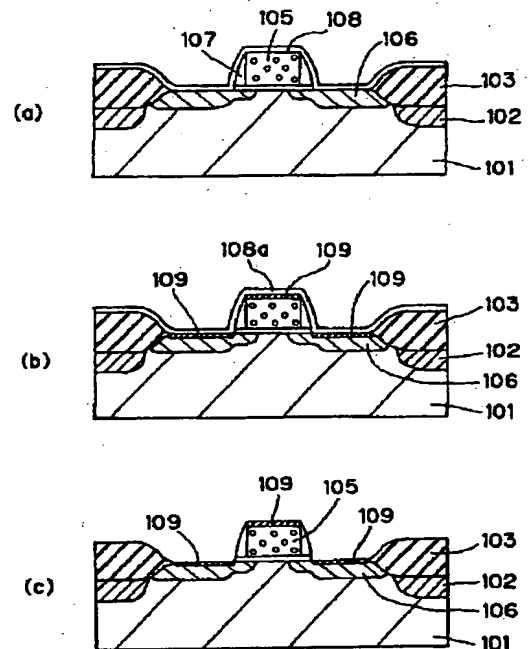
- 110...Co-W層
- 111...Coシリサイド-Wシリサイド混合層

8

- 109 Coシリサイド-Tiシリサイド混合層
- 110 Co-W層
- 111 Coシリサイド-Wシリサイド混合層
- 112 チタン層
- 113 コバルト層
- 201 コバルトターゲット
- 202 磁極
- 203 基板
- 204 コバルト層

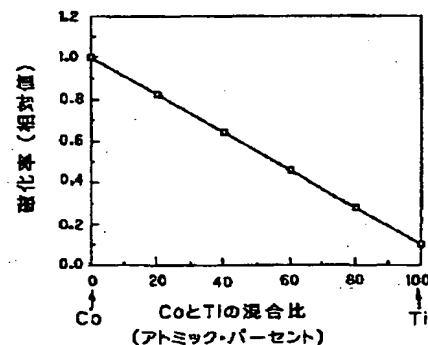
10

【図2】

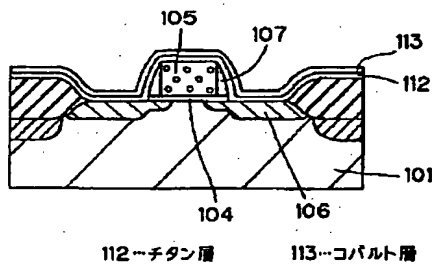


- 106...LDD n 型拡散層
- 108...Co-Ti膜
- 108a...未反応Co-Ti膜
- 109...Coシリサイド-Tiシリサイド混合層

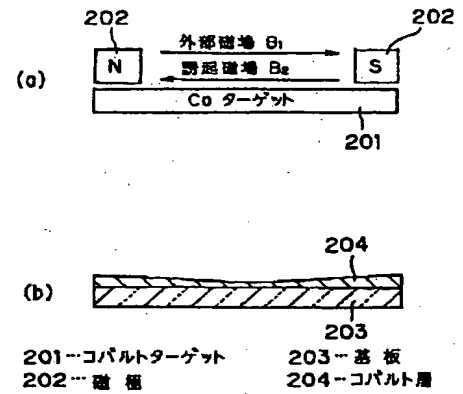
【図4】



【図5】



【図6】



フロントページの続き

(51) Int.Cl.⁶

H 0 1 L 21/203
21/28
29/78
21/336

識別記号 庁内整理番号
S 8719-4M
3 0 1 T

F I

技術表示箇所